Jiacheng Zhang

Lab 1 Report

ECE 2031 L07

24 January 2022

图示, 示意图

描述已自动生成

**Figure 1.** Schematic of circuit implementing alarm = F1 · B1 + F2 · B2 + (F1 · B2 + F2 · B1) · M and warning = (F1 · B2 + F2 · B1) · /M.

图片包含 图形用户界面

描述已自动生成

**Figure 2.** A simulation waveform to testify some specific cases the circuit implements.

图示

低可信度描述已自动生成

**Figure 3.** A simulation waveform for all possible input and output combinations of the circuit.

图示, 示意图

描述已自动生成

**Figure 4.** Schematic with FPGA pin assignments of circuit implementing alarm = F1 · B1 + F2 · B2 + (F1 · B2 + F2 · B1) · M and warning = (F1 · B2 + F2 · B1) · /M.